



:
:
: 中
: 1999.11
: 13936377938
件: 1134936466@qq.com

: IC FPGA 件

教育背景

- 2021/09 - 与 专业 5%
- 2017/09 - 专业 5%

奖项荣誉

- 优 业
- 三
- 任 , 任 主

项目经历

- SM2 交 产 , SM4 , SM3 , 了 个 于 ZYNQ 以 SM2 交 为主 , 交 为 , 以 中不
- 1 件 ,
- 2 Xilinx ZYNQ PL 与 SM3 SM4 FIFO C /Matlab M 仿 , Verilog SM3 SM4 , testbech , 了 仿 仿 SM3 , SM4 , IP 了 ZYNQ 上 (专 中)
- 主 ZYNQ , 为 PS PL 两个 PS 主 为 PL 代 DMA , , 个 SOC
- 1 NSL-KDD 不 , SMOTE (中) , PyCharm 中 GUR-ResNet 习 (EI)
- 2 ZYNQ PS petalinux , ARM libpcap 以 , cicflowmeter ,

3 Vivado 中, Unroll Loops Pipeline 优
ARM , FIFO 中, AXI DMA DDR 中

实习经历

-
- 1 , LMT 中 上下 CA ,
- 2 Vivado 中 代 , LMT 不 下 , Oospstudio ,
ETG 个 NR ,
- 3 习 AMBA (AXI AHP APB) (1) Xilinx IP AXI 主 从 ,
MASTER , SLAVE MSATER 主 , 个
Xilinx AXI SLAVE IP , MASTER SLAVE ,
SLAVE RAM , MSATER SLAVE (2) APB
SRAM 代 , 个 RAM 为 SLAVE, APB 代 为 APB to APB
Bridge (MASTER) sram (SLAVE) 中 , APB

专业技能

- FPGA , 以上 FPGA , 从 代 仿
- ; Verilog HDL 仿
- 于 FPGA , AMBA (AXI AHP APB) I2C UART SPI
- Vivado 中 IP , FIFO ROM RAM PLL ILA MIG
- :
- Exynos-4412 上 Linux Linux
- , 专业 书

比赛论文

- 中 “ 于 ” ()
- () “ ”
- () “ ”
- “ (二)
- 中 东 二 ()
- 七 中 东 三 ()
- 专 “ 于 ” ()
- 二 ()
- 业 ()

自我评价

人 与 专业 , 与 个 , 于
业 了 , 件 , 人 乐
任 ,